(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0115193
(43) 공개일자 2019년10월11일

(51) 국제특허분류(Int. Cl.)
H01L 27/15 (2006.01) *H01L 33/00* (2010.01)
H01L 33/36 (2010.01) *H01L 33/62* (2010.01)
(52) CPC특허분류
H01L 27/156 (2013.01)
H01L 33/005 (2013.01)
(21) 출원번호 10-2018-0037912
(22) 출원일자 2018년04월02일
심사청구일자 2019년01월16일

(71) 출원인
주식회사 루멘스
경기도 용인시 기흥구 원고매로 12 (고매동)
(72) 발명자
김우철
경기도 용인시 기흥구 원고매로 12(고매동, 주식회사 루멘스)
(74) 대리인
유창열

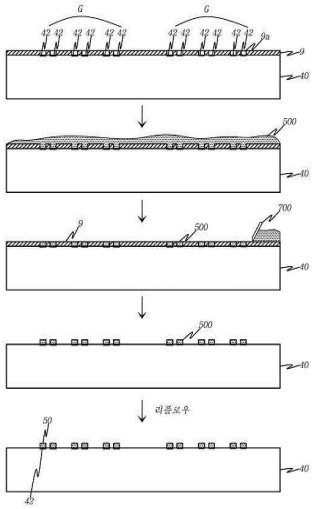
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **마이크로 엘이디 디스플레이 패널 제조방법**

(57) 요 약

마이크로 엘이디 디스플레이 패널 제조방법이 개시된다. 마이크로 엘이디 디스플레이 패널 제조방법은, 주면에 50~100㎛ 폭을 갖는 전극패드들이 형성된 기판을 준비하는 단계; 상기 전극패드가 노출되는 50~100㎛ 폭의 개구들이 형성된 마스크를 상기 기판 상에 배치하는 단계; 솔더 파우더, 접착성 수지 및 활성제를 포함하는 솔더 페이스트를 상기 개구들에 채우는 단계; 상기 개구들에 채워진 솔더 페이스트로 상기 전극패드들과 접해 있는 솔더 범프들을 형성하는 단계; 및 상기 솔더 범프들에 의해 마이크로 엘이디 칩들을 상기 기판에 본딩하는 단계를 포함하며, 상기 개구들에 채워지는 솔더 페이스트는 입자 직경이 10~25㎛ 인 제1 솔더 파우더, 또는 입자 직경이 5~15㎛ 인 제2 솔더 파우더와 상기 제1 솔더 파우더의 혼합물일 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H01L 33/36 (2013.01)
H01L 33/62 (2013.01)

명 세 서

청구범위

청구항 1

주면에 50~100㎛ 폭을 갖는 전극패드들이 형성된 기판을 준비하는 단계;

상기 전극패드가 노출되는 50~100㎛ 폭의 개구들이 형성된 마스크를 상기 기판 상에 배치하는 단계;

솔더 파우더, 접착성 수지 및 활성제를 포함하는 솔더 페이스트를 상기 개구들에 채우는 단계;

상기 개구들에 채워진 솔더 페이스트로 상기 전극패드들과 접해 있는 솔더 범프들을 형성하는 단계; 및

상기 솔더 범프들에 의해 마이크로 엘이디 칩들을 상기 기판에 본딩하는 단계를 포함하며,

상기 개구들에 채워지는 솔더 페이스트는 입자 직경이 10~25㎛ 인 제1 솔더 파우더, 또는 입자 직경이 5~15㎛ 인 제2 솔더 파우더와 상기 제1 솔더 파우더의 혼합물인 것을 특징으로 하는 마이크로 엘이디 디스플레이 패널 제조방법.

청구항 2

청구항 1에 있어서, 상기 제1 솔더 파우더와 상기 제2 솔더 파우더의 혼합물은 상기 제2 솔더 파우더를 50wt% 이하로 포함하는 것을 특징으로 하는 마이크로 엘이디 디스플레이 패널 제조방법.

청구항 3

청구항 1에 있어서, 상기 접착성 수지는 에폭시 수지인 것을 특징으로 하는 마이크로 엘이디 디스플레이 패널 제조방법.

청구항 4

청구항 1에 있어서, 상기 솔더 파우더의 중량은 상기 솔더 페이스트 전체 중량의 85wt%~95wt인 것을 특징으로 하는 엘이디 디스플레이 패널 제조방법.

청구항 5

청구항 1에 있어서, 상기 솔더 파우더는 저융점 Sn-Bi-Ag 합금 파우더인 것을 특징으로 하는 엘이디 디스플레이 패널 제조방법.

청구항 6

청구항 1에 있어서, 상기 제1 솔더 파우더는 JEDEC 표준에 따른 T5 솔더 파우더이며, 상기 제2 솔더 파우더는 JEDEC 표준에 따른 T6 솔더 파우더인 것을 특징으로 하는 엘이디 디스플레이 패널 제조방법.

청구항 7

청구항 1에 있어서, 상기 솔더 페이스트의 솔더 파우더의 입자 평균 직경의 분포는 10~20㎛ 인 것을 특징으로 하는 엘이디 디스플레이 패널 제조방법.

청구항 8

청구항 1에 있어서, 상기 마이크로 엘이디 칩들은, 플립칩형 마이크로 엘이디 칩들로서, 픽셀을 구성하는 적색 마이크로 엘이디 칩, 녹색 마이크로 엘이디 칩 및 청색 마이크로 엘이디 칩을 포함하는 것을 특징으로 하는 엘이디 디스플레이 패널 제조방법.

청구항 9

청구항 8에 있어서, 상기 전극패드들은 복수 개의 전극패드 그룹으로 그룹화되며, 상기 복수 개의 전극패드 그룹 각각은 상기 픽셀을 구성하는 적색 마이크로 엘이디 칩, 녹색 마이크로 엘이디 칩 및 청색 마이크로 엘이디

칩에 대응되는 3개 전극패드 쌍들을 포함하는 것을 특징으로 하는 엘이디 디스플레이 패널 제조방법.

청구항 10

청구항 1에 있어서, 상기 본딩하는 단계는 상기 솔더 범프들을 레이저에 의한 가열, 리플로우, 상기 기판과 접하는 가열블록에 의한 가열에 의해, 용융시키는 것을 특징으로 하는 엘이디 디스플레이 패널 제조방법.

청구항 11

청구항 1에 있어서, 상기 본딩하는 단계 직전에 상기 솔더 범프들에 상기 마이크로 엘이디 칩들이 놓이도록, 상기 기판 상에 상기 마이크로 엘이디 칩을 로딩하는 단계를 더 포함하는 것을 특징으로 엘이디 디스플레이 패널 제조방법.

청구항 12

청구항 11에 있어서, 상기 마이크로 엘이디 칩을 로딩하는 단계는 관통홀들이 형성된 트레이를 준비하고, 상기 트레이를 상기 기판 상에 배치한 후, 상기 관통홀들 각각에 상기 마이크로 엘이디 칩들 각각을 삽입하는 것을 특징으로 하는 마이크로 엘이디 디스플레이 패널 제조방법.

청구항 13

청구항 12에 있어서, 상기 본딩하는 단계는 상기 솔더 범프들을 가열하는 동안 상기 마이크로 엘이디 칩들을 상기 기판을 향해 가압하는 단계를 포함하며, 상기 가압하는 단계에는 가압 스탬프가 이용되는 것을 특징으로 하는 엘이디 디스플레이 패널 제조방법.

청구항 14

청구항 13에 있어서, 상기 가압 스탬프는 수평의 베이스부와 상기 베이스부의 하부면에 연결된 복수 개의 가압핀을 포함하고, 상기 복수 개의 가압핀들은 상기 관통홀들의 배열에 대응되는 배열로 형성되며, 상기 가압핀들 각각은, 상기 관통홀들 각각을 통해 하강하여 상기 마이크로 엘이디 칩들 각각을 가압하는 것을 특징으로 하는 엘이디 디스플레이 패널 제조방법.

청구항 15

주면에 50~100㎛ 폭을 갖는 전극패드들이 형성된 기판;

상기 전극패드들의 상면에 형성되어 솔더 파우더, 접착성 수지 및 활성제를 포함하는 솔더 범프; 및

상기 솔더 범프들에 의해 상기 기판에 본딩되는 마이크로 엘이디 칩들;을 포함하며,

상기 솔더 범프는 입자 직경이 10~25㎛인 제1 솔더 파우더 또는 입자 직경이 5~15㎛인 제2 솔더 파우더와 상기 제1 솔더 파우더의 혼합물인 것을 특징으로 하는 마이크로 엘이디 디스플레이 패널.

청구항 16

청구항 15에 있어서, 상기 제1 솔더 파우더와 상기 제2 솔더 파우더의 혼합물은 상기 제2 솔더 파우더를 50wt% 이하로 포함하는 것을 특징으로 하는 마이크로 엘이디 디스플레이 패널.

청구항 17

청구항 15에 있어서, 상기 접착성 수지는 에폭시 수지인 것을 특징으로 하는 마이크로 엘이디 디스플레이 패널.

청구항 18

청구항 15에 있어서, 상기 솔더 파우더의 중량은 상기 솔더 범프 전체 중량의 85wt%~95wt인 것을 특징으로 하는 엘이디 디스플레이 패널.

청구항 19

청구항 15에 있어서, 상기 솔더 파우더는 저융점 Sn-Bi-Ag 합금 파우더인 것을 특징으로 하는 엘이디 디스플레이 패널.

청구항 20

청구항 15에 있어서, 상기 제 1 솔더 파우더는 JEDEC 표준에 따른 T5 솔더 파우더이며, 제 2 솔더 파우더는 JEDEC 표준에 따른 T6 솔더 파우더인 것을 특징으로 하는 엘이디 디스플레이 패널.

발명의 설명

기 술 분 야

[0001] 본 발명은 기판과 그 기판 상에 실장되는 마이크로 엘이디 칩들을 포함하는 마이크로 엘이디 디스플레이 패널 제조방법에 관한 것으로서, 기판과 마이크로 엘이디 칩들간의 신뢰성 있는 본딩을 보장해주는 마이크로 엘이디 디스플레이 패널 제조방법에 관한 것이다.

배 경 기 술

[0002] 마이크로 엘이디 디스플레이 패널의 제조를 위해, 수직형 또는 플립칩형의 마이크로 엘이디 칩들을 PCB(Printed Circuit Board)와 같은 기판에 일정 배열로 어레이한 후 본딩한다. 기판에 대한 마이크로 엘이디 칩들의 본딩을 위해, 기판 상에 다수의 솔더 범프들을 형성하여 그 솔더 범프들을 이용한다. 솔더 범프들의 형성을 위해 솔더 파우더와 접착성 수지가 혼합된 솔더 페이스트를 이용한다. 상대적으로 큰 크기를 갖는 엘이디 칩을 기판에 본딩하는 경우와 달리, 수십~수백 마이크로미터 크기를 갖는 마이크로 엘이디 칩을 기판에 실장하기 위한 솔더 범프를 형성하기 위해서는 솔더 페이스트의 양과 적용 위치가 정밀해야 한다. 또한 솔더 페이스트의 주요 성분인 솔더 파우더는 미세 크기를 갖는 다수의 입자들로 이루어지고 대부분의 입자들은 구형을 갖는다. 한편, 솔더 입자들 표면에는 산화막이 형성되는데, 이 산화막은 공정 중 솔더 용융 불량을 발생시킨다. 이 솔더 용융 불량은 마이크로 엘이디 칩들과 기판 사이에 접합 불량을 초래한다.

발명의 내용

해결하려는 과제

[0003] 마이크로 엘이디 칩을 기판 상에 정밀하게 실장하기 위해, 솔더 페이스트의 양과 적용 위치가 정밀해야 하는데, 본 발명은 100 마이크로미터 이하 폭을 갖는 패드에 대응되게 100 마이크로미터 이하의 폭을 갖는 개구들이 형성된 마스크를 기판 상에 배치하고, 이 개구들 각각에 솔더 파우더를 포함하는 솔더 페이스트를 채워 넣는 방식으로 솔더 범프를 형성한다.

[0004] 위와 같은 마스크를 이용하여 솔더 페이스트를 기판 상에 정확한 위치 및 양으로 적용하여 솔더 범프를 형성함에 있어서 개구에 대한 솔더 페이스트의 빠짐성과 솔더 파우더 입자의 산화막 생성 억제가 모두 중요하다.

[0005] 따라서, 본 발명이 해결하고자 하는 과제는, 미세 크기의 개구들을 갖는 마스크를 기판 상에 배치하고, 이 개구들 각각에 솔더 파우더를 포함하는 솔더 페이스트를 채워 넣는 방식으로 솔더 범프들을 형성하여, 이 솔더 범프들을 이용하여 마이크로 엘이디 칩들을 기판 상에 실장하되, 개구들 내로 솔더 페이스트가 잘 채워질 수 있고, 그와 동시에 솔더 파우더 입자의 산화막 발생을 줄임으로써, 솔더 용융 불량을 막을 수 있고 충분한 시간 동안 작업을 가능하게 하여, 기판과 마이크로 엘이디 칩들간의 신뢰성 있는 본딩을 보장해주는 마이크로 엘이디 디스플레이 패널 제조방법을 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 일측면에 따른 엘이디 디스플레이 패널 제조방법은, 주면에 50~100㎛ 폭을 갖는 전극패드들이 형성된 기판을 준비하는 단계; 상기 전극패드가 노출되는 50~100㎛ 폭의 개구들이 형성된 마스크를 상기 기판 상에 배치하는 단계; 솔더 파우더, 접착성 수지 및 활성제를 포함하는 솔더 페이스트를 상기 개구들에 채우는 단계; 상기 개구들에 채워진 솔더 페이스트로 상기 전극패드들과 접해 있는 솔더 범프들을 형성하는 단계; 및 상기 솔더 범프들에 의해 마이크로 엘이디 칩들을 상기 기판에 본딩하는 단계를 포함하며, 상기 개구들에 채워지는 솔더 페이스트는 입자 직경이 10~25㎛ 인 제1 솔더 파우더, 또는 입자 직경이 5~15㎛ 인 제2 솔더 파우더와 상기 제1 솔더 파우더의 혼합물일 수 있다.

[0007] 일 실시예에 따라, 상기 제1 솔더 파우더와 상기 제2 솔더 파우더의 혼합물은 상기 제2 솔더 파우더를 50wt% 이하로 포함하는 것이 바람직하다.

[0008] 일 실시예에 따라, 상기 접착성 수지는 에폭시 수지인 것이 바람직하다.

[0009] 일 실시예에 따라, 상기 솔더 파우더의 중량은 상기 솔더 페이스트 전체 중량의 85wt%~95wt인 것이 바람직하다.

[0010] 일 실시예에 따라, 상기 솔더 파우더는 저융점 Sn-Bi-Ag 합금 파우더인 것이 바람직하다.

[0011] 일 실시예에 따라, 상기 제1 솔더 파우더는 JEDEC 표준에 따른 T5 솔더 파우더이며, 상기 제2 솔더 파우더는 JEDEC 표준에 따른 T6 솔더 파우인 것이 바람직하다.

[0012] 일 실시예에 따라, 상기 솔더 페이스트의 솔더 파우더의 입자 평균 직경의 분포는 10~20㎛ 인 것이 바람직하다.

[0013] 일 실시예예 따라, 상기 마이크로 엘이디 칩들은, 플립칩형 마이크로 엘이디 칩들로서, 픽셀을 구성하는 적색 마이크로 엘이디 칩, 녹색 마이크로 엘이디 칩 및 청색 마이크로 엘이디 칩을 포함하는 것이 바람직하다.

[0014] 일 실시예에 따라, 상기 전극패드들은 복수 개의 전극패드 그룹으로 그룹화되며, 상기 복수 개의 전극패드 그룹 각각은 상기 픽셀을 구성하는 적색 마이크로 엘이디 칩, 녹색 마이크로 엘이디 칩 및 청색 마이크로 엘이디 칩에 대응되는 3개 전극패드 쌍들을 포함하는 것이 바람직하다.

[0015] 일 실시예에 따라, 상기 본딩하는 단계는 상기 솔더 범프들을 레이저에 의한 가열, 리플로우, 상기 기판과 접하는 가열블록에 의한 가열에 의해, 용융시키는 것이 바람직하다.

[0016] 일 실시예예 따라, 상기 마이크로 엘이디 디스플레이 패널 제조방법은 상기 본딩하는 단계 직전에 상기 솔더 범프들에 상기 마이크로 엘이디 칩들이 놓이도록, 상기 기판 상에 상기 마이크로 엘이디 칩을 로딩하는 단계를 더 포함할 수 있다.

[0017] 일 실시예에 따라, 상기 마이크로 엘이디 칩을 로딩하는 단계는 관통홀들이 형성된 트레이를 준비하고, 상기 트레이를 상기 기판 상에 배치한 후, 상기 관통홀들 각각에 상기 마이크로 엘이디 칩들 각각을 삽입하는 것을 포함한다.

[0018] 일 실시예에 따라, 상기 본딩하는 단계는 상기 솔더 범프들을 가열하는 동안 상기 마이크로 엘이디 칩들을 상기 기판을 향해 가압하는 단계를 포함하며, 상기 가압하는 단계에는 가압 스탬프가 이용된다.

[0019] 일 실시예에 따라, 상기 가압 스탬프는 수평의 베이스부와 상기 베이스부의 하부면에 연결된 복수 개의 가압핀을 포함하고, 상기 복수 개의 가압핀들은 상기 관통홀들의 배열에 대응되는 배열로 형성되며, 상기 가압핀들 각각은, 상기 관통홀들 각각을 통해 하강하여 상기 마이크로 엘이디 칩들 각각을 가압한다.

[0020] 본 발명의 다른 측면에 따라 마이크로 엘이디 디스플레이 패널이 제공되며, 상기 마이크로 엘이디 디스플레이 패널은, 주면에 50~100㎛ 폭을 갖는 전극패드들이 형성된 기판; 상기 전극패드들의 상면에 형성되어 솔더 파우더, 접착성 수지 및 활성제를 포함하는 솔더 범프; 및 상기 솔더 범프들에 의해 상기 기판에 본딩되는 마이크로 엘이디 칩들;을 포함하며, 상기 솔더 범프는 입자 직경이 10~25㎛인 제1 솔더 파우더 또는 입자 직경이 5~15㎛인 제2 솔더 파우더와 상기 제1 솔더 파우더의 혼합물인 것이 바람직하다.

[0021] 일 실시예에 따라, 상기 제1 솔더 파우더와 상기 제2 솔더 파우더의 혼합물은 상기 제2 솔더 파우더를 50wt% 이하로 포함하고, 상기 접착성 수지는 에폭시 수지이고, 상기 솔더 파우더의 중량은 상기 솔더 범프 전체 중량의 85wt%~95wt이고, 상기 솔더 파우더는 저융점 Sn-Bi-Ag 합금 파우더일 수 있다.

발명의 효과

[0022] 본 발명에 따른 마이크로 엘이디 디스플레이 제조방법은, 미세 크기의 개구들을 갖는 마스크를 기판 상에 배치하고, 이 개구들 각각에 솔더 파우더를 포함하는 솔더 페이스트를 채워 넣는 방식으로 솔더 범프들을 형성하여, 이 솔더 범프들을 이용하여 마이크로 엘이디 칩들을 기판 상에 실장하되, 개구들 내로 솔더 페이스트가 잘 채워질 수 있고, 그와 동시에 솔더 파우더 입자의 산화막 발생을 줄임으로써, 솔더 용융 불량을 막을 수 있고 충분한 시간 동안 작업을 가능하게 하여, 기판과 마이크로 엘이디 칩들간의 신뢰성 있는 본딩을 보장해준다.

도면의 간단한 설명

[0023] 도 1은 기판 상에 솔더 범프를 형성하는 단계를 예시적으로 설명하기 위한 도면이다.

도 2는 T5 솔더 파우더 입자들을 보인 사진도이다.

도 3은 마이크로 엘이디 칩들을 기판 상에 로딩하는 단계를 예시적으로 설명하기 위한 도면이다.

도 4는 마이크로 엘이디 칩들을 기판 상에 본딩하는 단계를 예시적으로 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0024] 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.

[0025] 본 발명의 일 실시예에 따라, PCB 또는 TFT 기판과 같은 기판 상에 행렬 배열된 복수 개의 엘이디 픽셀을 포함하는 엘이디 디스플레이 패널의 제조방법이 제공된다. 엘이디 픽셀 각각은 파장이 다른 복수 개의 마이크로 엘이디 칩, 즉, 적색 마이크로 엘이디 칩, 녹색 마이크로 엘이디 칩 및 청색 마이크로 엘이디 칩을 포함할 수 있다.

[0026] 본 실시예에서, 마이크로 엘이디 칩은 300㎛××100㎛의 칩 사이즈를 갖는다. 또한, 마이크로 엘이디 칩은 76㎛××76㎛ 사이의 제1 도전형 전극 및 제2 도전형 전극을 포함한다.

[0027] 전술한 마이크로 엘이디 칩들을 기판 상에 실장하기 위한 첫 번째 단계로서, 도 1에 도시된 것과 같이, 기판(40) 상에 솔더 범프(50)들을 형성하는 단계가 수행된다.

[0028] 도 1을 참조하면, 주면(primary surface)에 복수 개의 전극패드(42)들이 형성된 기판(40)이 준비된다. 본 실시예에 있어서는, 기판 상에 실장되는 마이크로 엘이디 칩들 각각이 단 차를 갖는 하부면에 서로 다른 극성을 갖는 2개의 전극을 포함하는 플립칩 타입 엘이디 칩이므로, 하나의 마이크로 엘이디 칩에 대하여 한 쌍의 전극패드(42, 42)가 제공된다. 또한, 하나의 픽셀을 구성하는 3개의 마이크로 엘이디 칩들에 대응되게 3개 전극패드(42) 쌍들이 하나의 전극패드 그룹(G)을 이루며, 복수 개의 전극패드 그룹(G)이 기판(40) 상에 행렬로 배열된다.

[0029] 전극패드(42)들 각각은 76㎛××76㎛의 면적을 갖는다. 이러한 전극패드(42)들 각각에 그에 상응하는 크기의 솔더 범프들을 형성하기 위해, 상기 기판(40) 상에는 76㎛××76㎛ 크기의 개구(9a)들이 형성된 마스크(9), 더 구체적으로는, 스텐실 마스크(9)가 배치된다. 다음, 상기 마스크(9) 상에 솔더 페이스트(500)를 도포하고, 스퀴즈(700)를 이용하여 솔더 페이스트(500)를 상기 개구(9a)들에 채워 넣는다. 다음, 마스크(9)가 제거되고, 리플로우 공정을 통해 최종적으로 솔더 범프(50)들이 형성된다. 상기 솔더 범프(50)들 각각은 기판(40)의 전극패드(42)들 각각에 접하여 형성된다.

[0030] 하나의 마이크로 엘이디 칩에 대하여 한 쌍의 전극패드(42)가 제공되는 것과 같은 이유로, 하나의 마이크로 엘이디 칩에 대하여 한 쌍의 개구(9a, 9a)가 제공된다. 또한, 하나의 픽셀을 구성하는 3개의 마이크로 엘이디 칩들에 대응되도록, 3개 전극패드(9a) 쌍들에 3개의 솔더 범프(50) 쌍들이 형성되어야 하므로, 3쌍의 개구(9a)가 하나의 그룹을 형성하고, 상기 마스크(9)에는 상기 개구들의 그룹들이 복수로 존재한다.

[0031] 상기 솔더 페이스트(500)는 주성분인 솔더 파우더와 점성을 위한 수지와 산화막 억제를 위한 활성제, 그리고 반응을 돕는 촉매제를 포함한다. 솔더 파우더의 중량은 대략 솔더 페이스트(500) 전체 중량의 85wt% ~ 95wt%, 가장 바람직하게는 90wt% 정도이다. 솔더 파우더는 대부분이 구형인 다수의 솔더 입자들로 이루어지며, 활성제와 촉매제가 혼합된 에폭시 수지가 솔더 파우더에 첨가되어 솔더 페이스트를 형성한다. 마스크(9)의 개구(9a) 내에 채워져서 기판(40) 상에 로딩되는 솔더 페이스트(500)의 솔더 파우더 양에 의해 활성제 등이 첨가된 수지의 양이 정해진다. 또한, 활성제의 양이 많아지면 수지의 양이 적어져서 점성이 저하되고, 반대로 수지의 양이 많아지면 활성제의 양이 적어질 수 밖에 없다.

[0032] 솔더 파우더는 Sn-Bi 계열의 합금 파우더, 더 바람직하게는, 42 wt% Sn, 57.6 wt% Bi, 0.4 wt% Ag로 이루어진 저융점 Sn-Bi-Ag 합금 파우더가 이용된다. 이러한 합금 파우더는 대략 135℃℃의 용융점을 갖는다.

[0033] 개구(9a) 각각에 채워진 솔더 페이스트(500) 내 솔더 입자들의 크기에 의해 개구들 각각에 대한 솔더 파우더 입자들의 빠짐성, 즉, 솔더 파우더 입자들이 개구(9a) 내에 얼마나 치밀하게 채워질 수 있는지가 정해지며, 솔더 파우더 입자 크기가 작을수록, 솔더 파우더 입자들이 마스크의 개구 내에 치밀하게 채워질 수 있다.

[0034] 또한, 솔더 페이스트 내 솔더 입자들의 크기가 공정 중 솔더 파우더 입자에 산화막이 발생 정도에 큰 영향을 미친다. 이는 솔더 입자들 사이의 공극률이 솔더 입자들의 크기와 관계 없이 일정하데 반해, 솔더 입자들이 작을수록 솔더 입자들 전체가 갖는 표면적, 즉, 산화막 발생 표면적이 증가하기 때문이다. 솔더 입자들의 전체 표면적 대비 활성제 양을 증가시키면, 산화막 발생을 줄일 수 있지만, 이 경우 솔더 페이스의 점성이 저하되어 솔더 페이스트로서의 제 기능을 수행하기 어렵다.

[0035] 따라서 본 발명은 빠짐성이 좋아 마스크의 개구들에 치밀하게 채워질 수 있고 충분한 점성을 가지면서도 솔더

입자들 표면에 산화막 발생을 획기적으로 줄일 수 있는 기술을 제공한다.

[0036] 통상적으로, 솔더 파우더는 입자의 구 직경에 따라 아래의 [표 1]과 같이 T1, T2 T3, T4, T5, T6, T7, T8로 분류된다.

표 1

[0037]

분류	범위(at least 80% in range)
T1	150 ~ 75㎛
T2	75 ~ 45㎛
T3	45 ~ 25㎛
T4	38 ~ 20㎛
T5	25 ~ 10㎛
T6	15 ~ 5㎛
T7	11 ~ 2㎛
T8	8 ~ 2㎛

[0038] (JEDEC 표준에 따른 솔더 파우더 유형 분류)

[0039] T1 및 T2로 분류된 솔더 파우더를 포함하는 솔더 페이스트는 76㎛××76㎛ 개구에 채워질 수 없었으며, T3 및 T4로 분류된 솔더 파우더를 포함하는 솔더 페이스트 또한 76㎛××76㎛ 개구에 거의 채워질 수 없다. T5, T6, T7 및 T8로 분류된 솔더 파우더를 포함하는 솔더 페이스트는 76㎛××76㎛ 개구에 치밀하게 채워질 수 있다. 다시 말해, T5, T6, T7 및 T8로 분류된 솔더 파우더를 포함하는 솔더 페이스트는 마이크로 엘이디 칩 실장용 솔더 범프 형성에 이용되는 마스크의 개구에 대하여 빠짐성이 좋아 그 개구에 치밀하게 채워질 수 있다.

[0040] T5, T6, T7 및 T8 솔더 파우더 각각을 포함하는 솔더 페이스트를 적용하여 마이크로 엘이디 칩과 기판을 연결하는 솔더 범프를 형성할 때, T7 및 T8은 솔더 파우더의 입자들에 발생하는 과도한 산화막으로 인해, 솔더 용융성능을 크게 저해한다. 산화막의 발생량은 SMT 공정 전반에 걸쳐 큰 영향을 미친다. 입자를 둘러싸는 산화막, 즉, 산화물 쉘은 주변 환경 및 플럭스 매질과의 추가 반응으로부터 안에 있는 솔더 합금을 보호하기 때문에 입자 표면에 최소량이 필요하지만, 과도한 산화물은 솔더 조인트 형성을 가능하게 하는 젖음성을 저해하여 용융 불량을 일으키게 된다.

[0041] T5 솔더 파우더와 T6 솔더 파우더를 이용할 때를 비교해보면, T5 솔더 파우더 내 각 입자 표면적이 T6 솔더 파우더 내 각 입자 표면적보다 크지만, T5 솔더 파우더의 솔더 입자들 총 표면적 합은 T6 솔더 파우더의 솔더 입자들 총 표면적 합보다 훨씬 작다. 따라서, T5 솔더를 포함하는 솔더 페이스트, 즉, T5 솔더 페이스트를 적용하여 마이크로 엘이디 칩을 실장할 때, 과도한 산화막 발생으로 인해 야기되는 솔더 용융 불량을 막을 수 있다.

[0042] 도 2는 T5 솔더 파우더의 입자들을 보여주는 현미경 사진이다.

[0043] 아래의 [표 2]는 T5와 T6를 일정 중량비로 포함하는 솔더 파우더를 이용하는 솔더 페이스트들로 형성된 솔더 범프들의 용융 불량과 치밀도 불량을 수량을 나타낸 것이다. 각 예에서 500개의 시료가 이용되었다.

표 2

[0044]

비고	산화막 발생에 의한 용융 불량(개수)	치밀도 불량(개수)
T5 100wt% - T6 0wt%	0	5
T5 75wt% - T6 25wt%	7	3
T5 50wt% - T6 50wt%	55	2
T5 25wt% - T6 75wt%	151	2
T5 0wt% - T6 100wt%	230	3

[0045] 실험결과, T5 솔더 페이스트를 이용하였을 때 산화막 발생에 의한 용융 불량이 발견되지 않았다. 솔더 범프의 치밀도 불량을 낮추기 위해, T6 함량을 높이면 T5 75wt% - T6 25wt% 까지는 허용 가능한 불량 개수이지만, 그 이상을 초과할 경우, 불량이 급격하게 증가한다. 이는 솔더 파우더 입자들 전체의 표면적 증가로 인한 산화막 발생 표면적 증가와 공극율을 감소로 인한 활성제 감소에 기인한다. 또한, T6 솔더 파우더의 함량을 높일수록 공극률이 작아져 에폭시 수지의 혼합량이 감소되고, 이로 인해 솔더 페이스의 점성도 저하됨이 확인된다.

[0046] 전술한 것과 같이 마스크(9)의 개구(9a)들에 솔더 페이스트(500)를 채워 넣은 후 마스크(9)가 제거되며, 다음, 솔더 페이스트(500)를 가열 및 냉각하는 리플로우 처리를 통해 솔더 범프(50)가 형성된다.

[0047] 위와 같이 76㎛××76㎛ 면적의 전극패드(42)에 솔더 범프를 형성하는데 T5 솔더 파우더 또는 T5 솔더 파우더와 T6 솔더 파우더의 혼합물이 유리하게 이용되었지만, 50~100㎛의 폭을 갖는 전극패드에 솔더 범프를 형성하는데 있어서도 전술한 것과 같은 이유로 T5 솔더 파우더 또는 T5와 솔더 파우더와 T6 솔더 파우더의 혼합물이 유리하게 이용될 수 있다.

[0048] 다음도 3에 잘 도시된 바와 같이, 상기 솔더 범프(50) 쌍들 각각에 상기 마이크로 엘이디 칩(30R, 30G, 30B)들 각각이 놓이도록, 상기 마이크로 엘이디 칩(30R, 30G, 30B)들을 기판(40) 상에 로딩하는 공정이 수행된다. 본 실시예에 있어서, 이 공정은 솔더 범프(50) 쌍들에 대응되게 관통홀(62)들이 형성된 트레이(60)를 준비하고, 상기 트레이(60)를 상기 트레이(60)의 관통홀(62)들 각각이 상기 솔더 범프(50) 쌍들 각각을 수용하도록 기판(40) 상에 배치한 후, 상기 솔더 범프(50) 쌍들 각각에 상기 마이크로 엘이디 칩(30R, 30G, 30B)들 각각이 놓이도록, 상기 관통홀(62)들 각각에 상기 마이크로 엘이디 칩(30R, 30G, 30B)들 각각을 삽입하는 방식으로 수행될 수 있다.

[0049] 본 실시예에서, 상기 마이크로 엘이디 칩(30R, 30G, 30B)들 각각은 하부에 극성이 다른 두개의 전극패드를 갖는 플립칩형 마이크로 엘이디 칩이다. 솔더 범프(50) 쌍은 각 마이크로 엘이디 칩(30R, 30G, 30B)의 두 전극패드에 대응된다. 마이크로 엘이디 칩(30R, 30G, 30B)들 각각이 상기 관통홀(62)들 각각에 삽입되어 상기 솔더 범프(50)들 각각에 놓일 때, 상기 마이크로 엘이디 칩(30R, 30G, 30B)들 각각에 구비된 두개의 전극패드는 두 솔더 범프(50, 50)에 접하도록 놓여진다.

[0050] 상기 마이크로 엘이디 칩들은 복수 개의 픽셀들로 구분되며, 각 픽셀들은 적색 마이크로 엘이디 칩(30R), 녹색 마이크로 엘이디 칩(30G) 및 청색 마이크로 엘이디 칩(30B)으로 구성된다. 픽셀간 간격이 픽셀 내 마이크로 엘이디 칩 사이의 간격보다 크다. 트레이(60) 없이 마이크로 엘이디 칩들(30R, 30G, 30B)을 기판(40) 상에 로딩하는 것도 가능함에 유의한다.

[0051] 도 4를 참조하면, 상기 솔더 범프(50)들이 가열되어, 상기 마이크로 엘이디 칩(30R, 30G, 30B)들이 기판(40) 상에 본딩된다. 이때, 솔더 범프(50)들의 가열은 레이저 가열에 의한 솔더링 공정, 리플로우 솔더링 공정 및/또는 기판(40)과 접하는 가열블록을 이용한 솔더링 공정이 채택될 수 있다. 레이저에 의한 솔더링 공정은, 상기 기판(40)의 하부에 레이저 조사부(미도시됨)를 배치하고, 그 레이저 조사부로 하여금 솔더 범프(50)들 직하 영역의 기판(40) 하부면에 레이저를 조사하여, 그 조사된 레이저에 의한 열 에너지로 솔더 범프(50)들을 가열할 수 있다. 가열블록을 이용하는 솔더링 공정은 기판(40) 하부면에 가열블록을 배치하여 가열블록으로부터 기판(40)으로 전도되는 열에 의해 솔더 범프(50)들을 가열하며, 리플로우 솔더링 공정은 마이크로 엘이디 칩(30R, 30G, 30B)들이 실장된 기판을 예컨대 리플로우 오븐을 통과시킴으로써 달성된다. 기판(40)이 정지된 상태에서 기판(40)을 가열할 수 있는 가열블록을 이용하는 솔더링 공정 및 레이저를 이용하는 솔더링 공정이 유리하며, 그 중에서도, 레이저를 이용한 솔더링 공정은 솔더 범프(50)들이 위치한 영역에 국부적으로 더 열을 발생시킨다는 점에서 본 발명에 더 유리하게 이용될 수 있다.

[0052] 한편, 상기 솔더 범프(50)들을 가열하는 동안 상기 마이크로 엘이디 칩(30R, 30G, 30B)들을 상기 기판(40)을 향해 가압할 수 있다. 상기 가압에 의해, 상기 마이크로 엘이디 칩(30R, 30G, 30B)과 상기 기판(40) 사이의 솔더 범프(50)에 의한 접합력이 향상된다. 상기 가압을 위해, 가압 스탬프(70)가 이용되며, 상기 가압 스탬프(70)는 수평의 베이스부(72)와 상기 베이스부(72)의 하부면에 연결된 복수 개의 가압핀(74)들을 포함한다. 상기 복수 개의 가압핀(74)들은 상기 관통홀(62)들의 배열에 대응되는 배열로 형성되며, 상기 가압핀(74) 각각은, 상기 관통홀(62) 각각에 삽입될 수 있도록 구성된 채, 상기 관통홀(62)들 각각을 통해 일정 높이 하강할 수 있도록 되어 있다. 상기 관통홀(62)들을 통해 하강하는 가압핀(74)들은 상기 마이크로 엘이디 칩(30R, 30G, 30B)들을 아래로 밀어 상기 기판(40)을 향해 가압한다. 상기 베이스부(72)의 하부면이 일정 높이를 가지며, 가압핀(74)들이 같은 길이로 상기 베이스부(72)의 하부면에 연결되어 있으므로, 상기 가압핀(74)들이 상기 관통홀(62)들을 통해 하강하는 거리는 서로 같게 되며, 이에 의해, 마이크로 엘이디 칩(30R, 30G, 30B)들 전체에 대하여 일정한 가압력을 제공할 수 있다.

[0053] 한편, 상기 관통홀(62)들 각각은 상기 마이크로 엘이디 칩(30R, 30G, 30B)보다 약간 크거나 거의 같은 크기로 형성된다. 따라서, 상기 마이크로 엘이디 칩(30R, 30G, 30B)들은 본딩 단계가 수행되는 동안 상기 관통홀(62)에 의해 미세한 움직임까지 구속된다. 이는 마이크로 엘이디 칩(30R, 30G, 30B)이 본딩 과정에서 원치 않게 움직여 틸트되거나 시프트되는 것, 즉, 정렬 상태가 틀어지는 것을 막아준다. 다시 말해, 관통홀(62)의 크기 안에서만

마이크로 엘이디 칩(30R, 30G, 30B)의 위치가 변화할 수 있으므로, 관통홀(62)을 크기를 정밀하게 함으로써, 마이크로 엘이디 칩(30R, 30G, 30B)의 위치 관리를 정교하게 할 수 있고 X-Y방향으로의 틀어짐이나 기울어짐을 막을 수 있다.

[0054] 상기 관통홀(62)들 각각의 깊이는 상기 마이크로 엘이디 칩(30R, 30G, 30B)들 각각의 높이보다 깊게 형성된다. 더 나아가, 상기 관통홀(62)들 각각의 깊이는 상기 마이크로 엘이디 칩(30R, 30B, 30G)들 각각의 실장 높이에 상응하는 제1 깊이와 상기 관통홀(62)들 각각을 따라 하강하는 가압핀(64)의 하강 거리에 상응하는 제2 깊이의 합으로 정해진다.

부호의 설명

[0055] 40.....기판

500.....솔더 페이스트

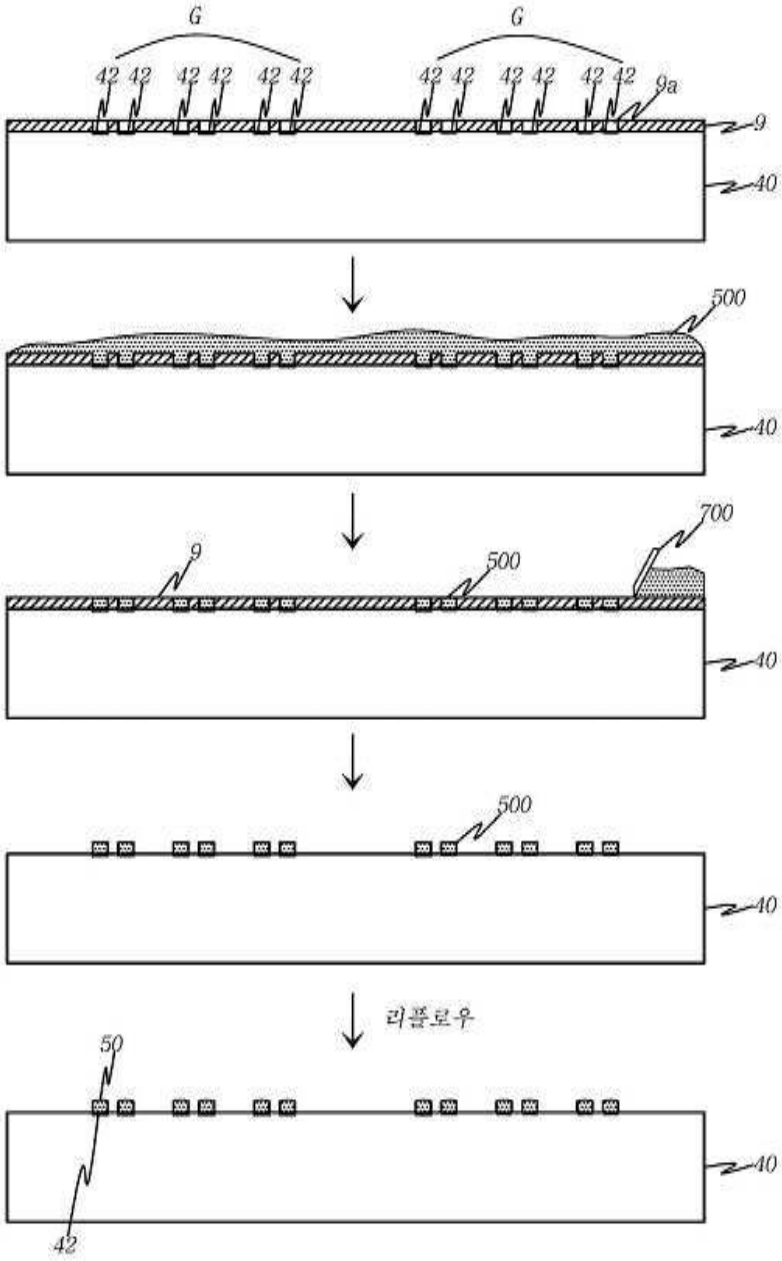
30R, 30G, 30B.....마이크로 엘이디 칩

50.....솔더 범프

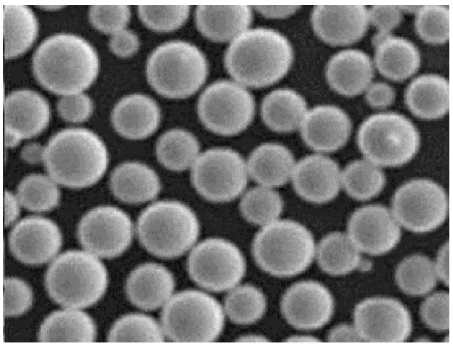
9.....마스크

도면

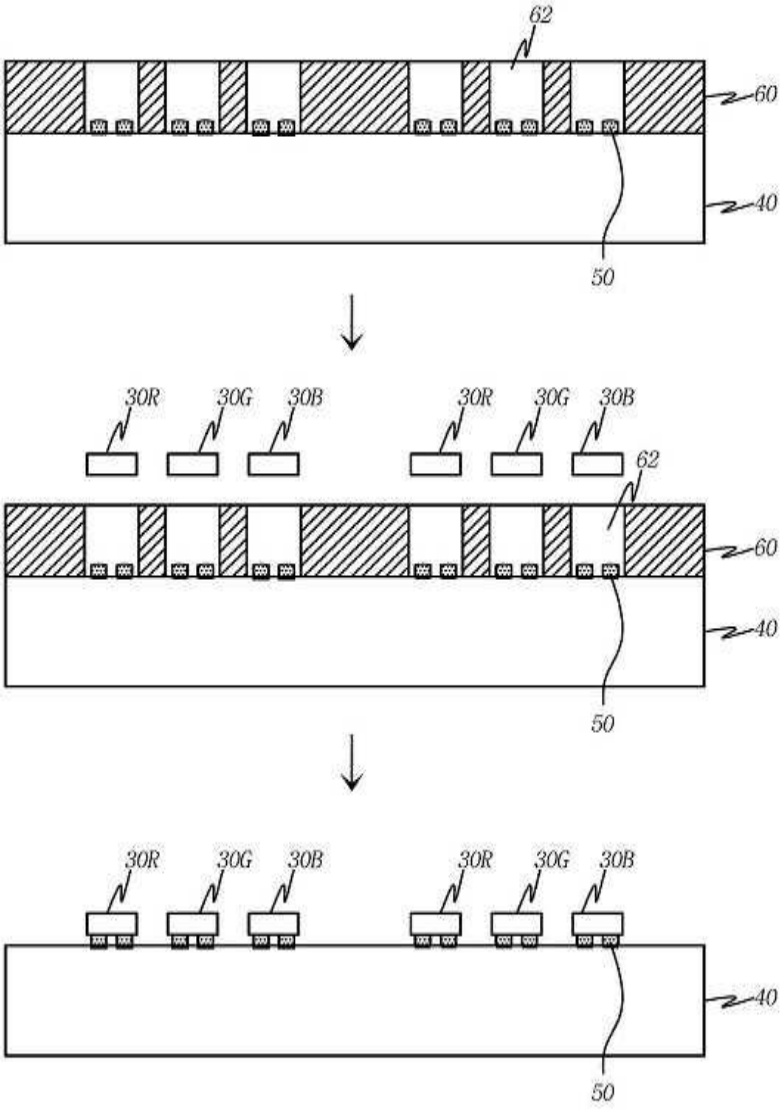
도면1


G
G
42 42 42 42 42 42
42 42 42 42 42 42
9a
9
40
500
40
700
9
500
40
500
40
라플로우
50
42
40

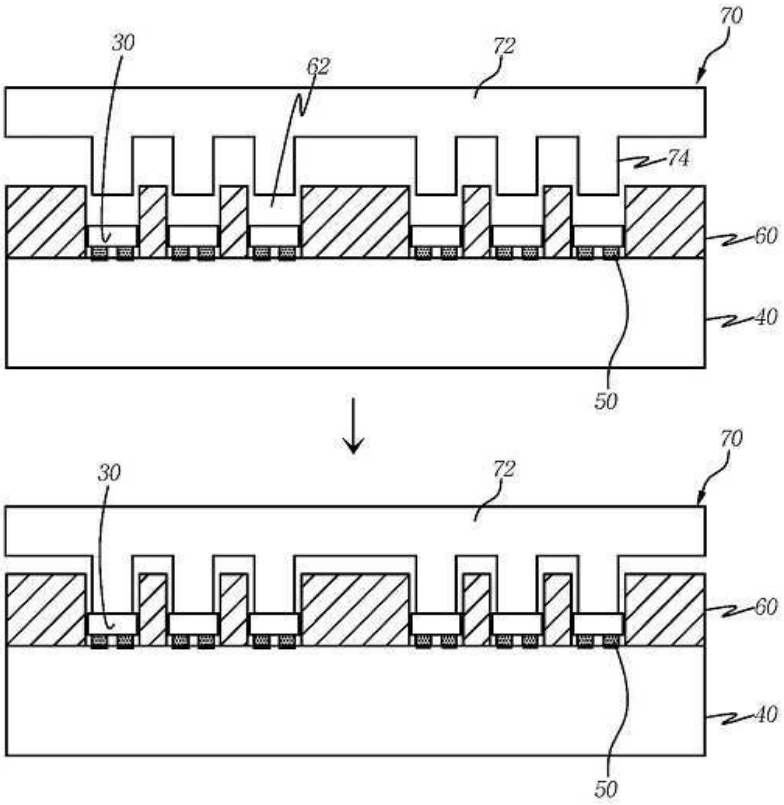
도면2



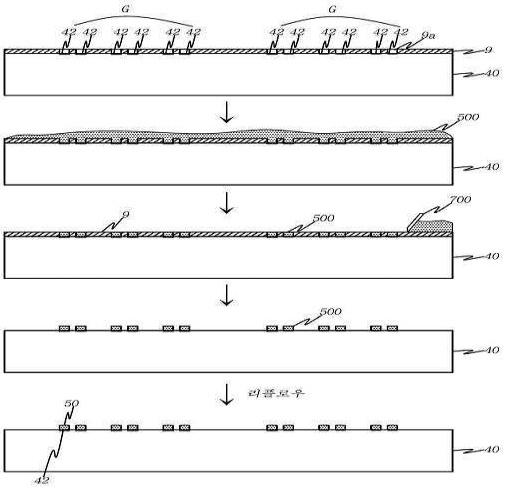
도면3


62
60
40
50
30R
30G
30B
30R
30G
30B
62
60
40
50
30R
30G
30B
30R
30G
30B
40
50

도면4



专利名称(译)	Micro LED显示面板的制造方法		
公开(公告)号	KR1020190115193A	公开(公告)日	2019-10-11
申请号	KR1020180037912	申请日	2018-04-02
申请(专利权)人(译)	流明公司		
[标]发明人	김우철		
发明人	김우철		
IPC分类号	H01L27/15 H01L33/00 H01L33/36 H01L33/62		
CPC分类号	H01L27/156 H01L33/005 H01L33/36 H01L33/62 H01L27/15 H01L33/00		
代理人(译)	Yuchangyeol		
外部链接	Espacenet		

摘要(译)

公开了一种用于制造微型LED显示面板的方法。 制造微型LED显示面板的方法包括以下步骤：准备基板，其中在主表面上布置宽度为50-100μm的电极垫； 在基板上设置具有宽度为50〜100μm的开口的掩模，以使电极焊盘通过该开口露出。 用包括焊粉，粘合剂树脂和活性剂的焊膏填充开口。 使用填充所述开口的焊膏形成焊块，其中所述焊块与所述电极焊盘接触； 使用焊料凸块将微型LED芯片粘结在基板上，其中，填充开口的焊膏是粒径为10-25μm的第一焊料粉或粒径为5-15的第二焊料粉的混合物 微米和第一焊料粉。 根据本发明，可以确保基板与微型LED芯片之间的可靠结合。